

DIALOG(R)File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.

02762266 **Image available**

MANUFACTURE OF MOS TRANSISTOR

PUB. NO.: **01-059866 [JP 1059866 A]**
PUBLISHED: March 07, 1989 (19890307)
INVENTOR(s): HAYASHI HISAO
APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 62-216588 [JP 87216588]
FILED: August 31, 1987 (19870831)
INTL CLASS: [4] H01L-029/78; H01L-027/12
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS) JOURNAL: Section: E, Section No. 775, Vol. 13, No. 268, Pg.
129, June 20, 1989 (19890620)

ABSTRACT

PURPOSE: To improve interface characteristics between a semiconductor layer and an insulating film and controllability of an element, by forming a first and a second insulating films on a first and a second main surfaces of a semiconductor substrate by thermal oxidation.

CONSTITUTION: One side surface of a semiconductor substrate 11 is oxidized by heat in an oxidation atmosphere at a high temperature to form a first gate insulating film 12. Then, a polycrystalline silicon layer serving as a gate electrode is laminated and windowed by photolithography to form a first gate electrode 13A. Then, a base material 15 is provided by thickly growing polycrystalline silicon on an insulating layer 14 which is provided by growing SiO₂ by a CVD method. Then, the base material 15 is fixed and the semiconductor substrate 11 is ground so as to be a thin film. Then, the surface of the semiconductor substrate 11 is oxidized by heat in a high temperature oxidation atmosphere to form a second insulating film 16 and then to form a second gate electrode 17 with polycrystalline silicon and further form a protective film 18 and a contact 19, with the result that a MOS transistor is completed.

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

007846694

WPI Acc No: 1989-111806/198915

MOS transistor mfr - in which device control is improved by forming 1st and 2nd gate insulation films by thermal oxidn. NoAbstract Dwg 7/9

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1059866	A	19890307	JP 87216588	A	19870831	198915 B

Priority Applications (No Type Date): JP 87216588 A 19870831

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 1059866	A	8		

Title Terms: MOS; TRANSISTOR; MANUFACTURE; DEVICE; CONTROL; IMPROVE; FORMING; GATE; INSULATE; FILM; THERMAL; OXIDATION; NOABSTRACT

Index Terms/Additional Words: METAL; OXIDE; SEMICONDUCTOR

Derwent Class: L03; U11; U12; U13

International Patent Class (Additional): H01L-027/12; H01L-029/78

File Segment: CPI; EPI

Japan se Laid-open Patent

Japanese Laid-open Patent No. Sho 64-59866

Publication(Kokai) Date : March 7, 1989

Application No. : Sho 62-216588

Application Date : August 31, 1987

Applicant : SONY Corporation

7-35, Kitashinagawa 6-chome, Shinagawa-ku, Tokyo

Inventor : Hisao HAYASHI

c/o SONY Corporation

7-35, Kitashinagawa 6-chome, Shinagawa-ku, Tokyo

Agent : Patent Attorney Fujiya SHIGA

[Title of the Invention]

Method of manufacturing a MOS transistor

[Claim]

1. A method of manufacturing a MOS transistor comprising:
 - a step of forming a first insulating film by thermal oxidation of a first major surface of a semiconductor substrate,
 - a step of forming a first gate electrode on said first insulating film,
 - a step of forming a support body by putting a insulating layer on said first gate electrode and said first insulating film,
 - a step of making said semiconductor substrate a thin film to form a second main surface,
 - a step of forming a second insulating film by thermal oxidation of said second main surface, and
 - a step of forming a second gate electrode on said second insulating film.

[Detailed Explanation of the Invention]

[Field of Industrial Application]

The present invention relates to a method of manufacturing a MOS transistor having a pair of gate electrodes

with a semiconductor layer between them.

[Summary of the Invention]

The present invention makes interfacial characteristic of a gate insulating film and a semiconductor layer better and improves controllability of thickness of a gate insulating film, and makes planarization of a structure possible,

by a method of manufacturing a MOS transistor comprising; a step of forming a first insulating film by thermal oxidation of a first major surface of a semiconductor substrate, a step of forming a first gate electrode on said first insulating film, a step of forming a support body over said first gate electrode and said first insulating film with an insulating layer therebetween, a step of making said semiconductor substrate a thin film to form a second main surface, a step of forming a second insulating film by thermal oxidation of said second main surface, and a step of forming a second gate electrode on said second insulating film.

[Prior Art]

A prior method of manufacturing a MOS transistor is explained based on a cross section of a prior a MOS transistor shown Figure 7.

First, a first gate electrode 2 is formed by patterning after depositing poly-Si on a quartz substrate 1. Then a gate insulating film 3 is formed by depositing on an exposed surface of a quartz substrate 1 and a first gate electrode 2 by a CVD method. And a fixed active layer 4 is formed after depositing Poly-Si on the gate insulating film 3 by a CVD method. Then after a gate insulating film 5 made of SiO₂ is deposited by a CVD method, a second gate electrode 6 is made of Poly-Si above the active layer 4 with this gate insulating film 5 between them. Then, a source region A and a drain region 4B are formed by ion implanting an impurity for source and drain in a self-alignment manner with respect to the gate electrode. Further, it is almost manufactured by forming an insulating film 7 and a contact electrode 8, 8.

[Problem To Be Solved By The Invention]

However, there is a problem in such a prior art that the interfacial characteristics is not good because each of the active layer 4, gate insulating layers 3 and 5, and the first and second gate electrode 2 and 6 is formed in each step respectively.

The present invention is to solve the above-described problems and has an object to provide a method of manufacturing a MOS transistor as a compact, so called SOI element, in which an interfacial characteristic of the semiconductor layer and the insulating layer is good.

[Means To Solve The Problems]

In the present invention, in order to achieve the above-described objects, the method of manufacturing a MOS transistor comprising; a step of forming a first insulating film by thermal oxidation of a first major surface of a semiconductor substrate, a step of forming a first gate electrode on said first insulating film, a step of forming a support body over said first gate electrode and said first insulating film with an insulating film therebetween, a step of making said semiconductor substrate a thin film to form a second main surface, a step of forming a second insulating film by thermal oxidation of said second main surface, and a step of forming a second gate electrode on said second insulating film.

[Action]

By forming first and second insulating films on the first and second main surfaces of the semiconductor substrate by thermal oxidation makes an interfacial characteristic of the semiconductor layer and the insulating films better and improves controllability of the element.

[Example]

A detail of the method of manufacturing a MOS transistor related with the present invention is explained based on examples shown in the figures as follows.

In the figure, 11 is a semiconductor substrate made of silicon and a first gate insulating film 12 is formed by thermal oxidation of a side of said semiconductor substrate 11 in an

oxidation atmosphere at a high temperature (Figure 1). Then a poly-Si layer 3 to be a gate electrode is laminated (Figure 2) and a first gate electrode 13A is formed by making a window through lithography (Figure 3). Further, an insulating layer 14 is formed by growing SiO₂ by a CVD method (Figure 4), a support body 15 is formed by growing poly-Si thick on said insulating layer by a CVD method.

Then, as shown in Figure 6, said support body 15 is fixed, and said semiconductor substrate 11 is ground to form a thin film. Then a surface of the semiconductor substrate 11 is oxidized by heat in an oxidation atmosphere at a high temperature to form a second gate insulating film 16 in the same way as above-described gate insulating film 12 (Figure 7), and then a second gate electrode 17 is made of poly-Si. Furthermore, a protective film 18 made of SiO₂ is formed on a predetermined point. Then as shown in Figure 8, a contact electrode 19 is made of aluminum, with the result that a MOS transistor is completed.

Further, in this example, the gate length of the second gate electrode 17 is set shorter than the first gate electrode 17. When diffusing an impurity for source and drain, the impurity is diffused in a self-alignment with respect to the first gate electrode 13A as a mask, and is diffused in a self-alignment with respect to the second gate electrode 17 as a mask. Thus, a profile is made in the doping concentration of the source region 11A and the drain region 11B and hence a known LDD structure is formed.

Also, the thickness of the semiconductor substrate 11 to be a channel region in the present example is a thin film not more than about 100nm by the above-described grinding step, and a mobility μ is set up at large.

As described the present example above, furthermore, it is possible to change every design. For example, in the case of the above present example, the source region 11A and drain region 11B are formed by self-align by using the first gate electrode 13A and the second gate electrode 17, but it is

certainly possible to form by self-align by using only one of the gate electrodes.

Also, regarding the above example, the thickness of the semiconductor substrate 11 to be a channel region is not more than about 100nm, but it is not limited to this.

Furthermore, regarding the above examples, a support body 15 is grown by a CVD method, but it is certainly possible to use a method of bonding a support body.

[Effect of the Invention]

As is clear from the above mentioned explanation, a method of a MOS transistor of the present invention has effects; it makes an interfacial characteristic of a semiconductor layer to be a channel region and a gate insulating film better and improves controllability of thickness of a film(s), and it makes planarization of structure possible and makes it more compact.

[Brief Explanation of Drawings]

Fig. 1~8 are cross sections which show each process of a method of manufacturing a MOS transistor of the present invention, Fig. 9 is a cross section which shows a prior example.

[Explanation of Marks]

11---a semiconductor substrate

12---a first gate insulating film

13A---a first gate electrode

16---a second gate insulating film

17---a second gate electrode

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭64-59866

⑫ Int.CI. 1

H 01 L 29/78
27/12

識別記号

311

庁内整理番号

Z-7925-5F
7514-5F

⑬ 公開 昭和64年(1989)3月7日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 MOSトランジスタの製造方法

⑮ 特願 昭62-216588

⑯ 出願 昭62(1987)8月31日

⑰ 発明者 林 久雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑱ 出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑲ 代理人 弁理士 志賀 富士弥

明細書

1. 発明の名称

MOSトランジスタの製造方法

2. 特許請求の範囲

半導体基板の第1の主表面を熱酸化して第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に第1のゲート電極を形成する工程と、

前記第1のゲート電極及び前記第1の絶縁膜上に絶縁層を介して支持体を形成する工程と、

前記半導体基板を薄膜化して第2の主表面を形成する工程と、

前記第2の主表面を熱酸化して第2の絶縁膜を形成する工程と、

前記第2の絶縁膜上に第2のゲート電極を形成する工程と、を備えてなることを特徴とするMOSトランジスタの製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、半導体層を挟む一対のゲート電極を

有するMOSトランジスタの製造方法に関する。

[発明の概要]

本発明は、MOSトランジスタの製造方法において、

半導体基板の第1の主表面を熱酸化して第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第1のゲート電極を形成する工程と、前記第1のゲート電極及び前記第1の絶縁膜上に絶縁層を介して支持体を形成する工程と、前記半導体基板を薄膜化して第2の主表面を形成する工程と、前記第2の主表面を熱酸化して第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に第2のゲート電極を形成する工程と、を順次備えた製造方法としたことにより、

ゲート絶縁膜と半導体層との界面特性を良好にすると共に、ゲート絶縁膜の膜厚の制御性を高め、さらに、構造の平坦化を可能としたものである。

[従来の技術]

従来のMOSトランジスタの製造方法を、第7図に示す従来のMOSトランジスタの断面図を基に説明する。

先ず、石英基板1に多結晶シリコン(Poly-Si)を堆積した後、バターニングにより第1ゲート電極2を形成する。次に、石英基板1及び第1ゲート電極2の露呈面にSiO₂をCVD法を用いて堆積させてゲート絶縁層3を形成する。さらに、ゲート絶縁層3の上に多結晶シリコンをCVD法にて堆積させた後所定の活性層4に形成する。次に、SiO₂でなるゲート絶縁層5をCVD法にて堆積させ、このゲート絶縁層5を介して活性層4の上方に第2ゲート電極6を多結晶シリコンで形成する。そして、第2ゲート電極6とセルフアラインにソース用不純物とドレイン用不純物とをイオン注入してソース領域4A、ドレイン領域4Bを形成する。その他、絶縁層7やA2でなる取り出し電極8、8を設けて大略型造されている。

膜を形成する工程と、前記第2の絶縁膜上に第2のゲート電極を形成する工程と、を備えてなることを、その解決手段としている。

[作用]

半導体基板の第1及び第2の主表面に第1及び第2の絶縁膜を熱酸化して形成することにより、半導体層と絶縁膜との界面特性を良好にし、電子の制御性を向上する。

[実施例]

以下、本発明に係るMOSトランジスタの製造方法の詳細を図面に示す実施例に基づいて説明する。

図中、11はシリコンでなる半導体基板であって、該半導体基板11の一側面を高温の酸化雰囲気中で熱酸化し、第1ゲート絶縁膜12を形成する(第1図)。次に、ゲート電極となる多結晶シリコン膜13を積層し(第2図)、リソグラフィで窓開けして第1ゲート電極13Aを形成する

[発明が解決しようとする問題点]

しかしながら、このような従来例にあっては、活性層4、ゲート絶縁層3、5、第1、第2ゲート電極2、6の夫々が個別の工程で作られるため、その界面特性が良くないという問題点を有している。

本発明は、このような従来の問題点に着目して創案されたものであって、半導体層と絶縁膜との界面特性が良く、しかもコンパクトな所謂SOI素子としてのMOSトランジスタを得んとするものである。

[問題点を解決するための手段]

本発明は、半導体基板の第1の主表面を熱酸化して第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第1のゲート電極を形成する工程と、前記第1のゲート電極及び前記第1の絶縁膜上に絶縁層を介して支持体を形成する工程と、前記半導体基板を薄膜化して第2の主表面を形成する工程と、前記第2の主表面を熱酸化して第2の絶縁

(第3図)。さらに、SiO₂をCVD法で成長させて絶縁層14を形成し(第4図)、該絶縁層の上に、多結晶シリコンをCVD法にて厚く成長させて支持体15を設ける。

次に、第6図に示すように、前記支持体15を固定し、前記半導体基板11を研削して薄膜に形成する。そして、この半導体基板11の表面を、上記したゲート絶縁膜12と同様に、高温の酸化雰囲気中で熱酸化し、第2ゲート絶縁膜16を形成した後(第7図)、第2ゲート電極17を多結晶シリコンで形成し、さらに、SiO₂でなる保護膜18を所定の箇所に形成する。次に、第8図に示すように、アルミニウムで取り出し電極19を形成してMOSトランジスタが完成される。

なお、本実施例にあっては、第2ゲート電極17のゲート長を第1ゲート電極17よりも小さく設定しており、ソース及びドレイン用の不純物を拡散する場合に、第1ゲート電極13Aをマスクとしてセルフアラインで拡散させ、さらに第2ゲート電極17をマスクとしてセルフアラインで拡

設させることにより、ソース領域11A及びドレン領域11Bにドープ濃度にプロファイルを作り公知のLDD構造としている。

また、本実施例におけるチャネル領域となる半導体基板11の厚さは上記した研削工程により略100nm以下の薄膜になつていて、移動度μが大きく設定されている。

以上、実施例について説明したが、この他に各種の設計変更が可能である。即ち、上記実施例にあっては、第1ゲート電極13A及び第2ゲート電極17を用いてセルフアラインでソース領域11A及びドレン領域11Bを形成したが、いずれか一方のゲート電極を用いてセルフアラインで形成するようにしても勿論よい。

また、上記実施例にあっては、チャネル領域となる半導体基板11の厚さを略100nm以下としたが、これに限るものではない。

さらに、上記実施例においては、支持体15をCVD法により成長させているが、支持体を接着させる方法を用いても勿論よい。

[発明の効果]

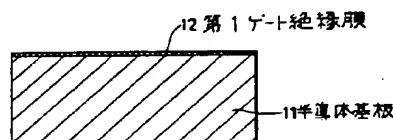
以上の説明から明らかなように、本発明に係るMOSトランジスタの製造方法にあっては、ゲート絶縁膜である第1及び第2の絶縁膜が熱酸化されて形成されるため、チャネルを形成する半導体層とゲート絶縁膜との界面特性が良く、また膜厚の制御性を向上させると共に、平坦な形状にしてコンパクト化することを可能にする効果がある。

4. 図面の簡単な説明

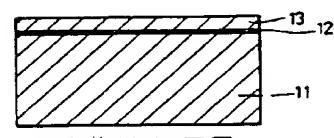
第1図～第8図は、本発明に係るMOSトランジスタの製造方法の各工程を示す断面図、第9図は、従来例を示す断面図である。

11…半導体基板、12…第1ゲート絶縁膜、13A…第1ゲート電極、16…第2ゲート絶縁膜、17…第2ゲート電極。

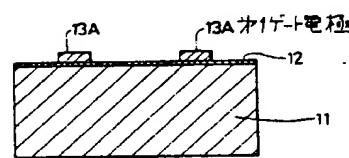
代理人 志賀富士弥 



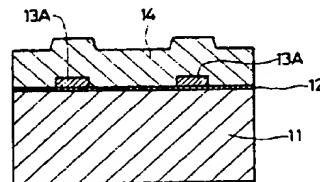
本実施例の断面図
第1図



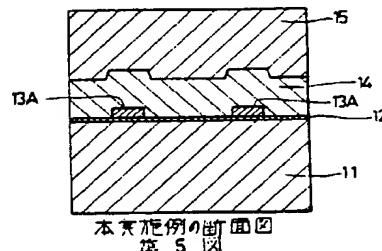
本実施例の断面図
第2図



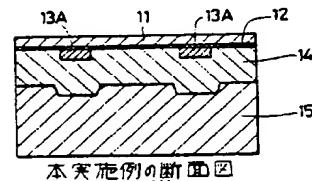
本実施例の断面図
第3図



本実施例の断面図
第4図



本実施例の断面図
第5図



本実施例の断面図
第6図

